

大电容负载下的高速、低功耗 动态摆率增强电路研究

叶珍华^{1,2}, 杨海钢¹, 李凡阳^{1,2}, 程小燕^{1,2}, 尹 韬¹, 刘 飞¹

(1 中国科学院 电子学研究所, 北京 100190; 2 中国科学院 研究生院, 北京 100049)

摘 要: 本文提出了一种针对大负载电容的高速、低功耗动态摆率增强电路设计方法. 电路通过直接监测主运算放大器输入端的差分电平变化, 实现对主放大器的动态电流补偿, 较大幅度地提高了摆率增强效果. 通过改变核心 MOS 管尺寸, 可以实现对摆率增强电路开启阈值的调节. 通过引入开关控制, 可以实现对摆率增强电路的及时“休眠”, 提高电路的能效. 动态摆率增强电路与主运算放大器为并行关系, 因此适用于所有结构的运算放大器, 通用性强. 电路采用 0.35 μm 商业 CMOS 工艺实现, 有效芯片面积 $0.15 \times 0.15 \text{ mm}^2$. 采用 5 V 单电源供电, 测试结果表明, 本电路针对 400 pF 大负载电容, 可以实现 7 V/ μs 的正向摆率及 10 V/ μs 的负向摆率, 功率消耗 6.25 μW . 该方法与传统的电路结构相比, 工作效率显著提高.

关键词: 高速; 低功耗; 动态摆率增强电路

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2012)12-0075-05

A Universal High-Speed, Low-Power Dynamic Slew-Rate Enhancement Circuit for Large Capacitance

YE Zhen-hua^{1,2}, YANG Hai-gang¹, LI Fan-yang^{1,2},
CHENG Xiao-yan^{1,2}, YIN Tao¹, LIU Fei¹

(1 Institute of Electronics, Chinese Academy of Sciences, Beijing 100190, China;

2 Graduate University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: This paper presents a new class of universal high-speed, low-power dynamic slew-rate enhancement (SRE) circuit for heavy capacitive load. The circuit is directly driven by the transient of input signals, which monitor the slewing condition of the main op-amp. Accordingly, the slewing performance is dynamically boosted. The proposed circuit parallels the main op-amp, thus can be used in all types of op-amps. Power consumption is greatly saved by driving the SRE circuit into sleeping state when slewing boosting is completed. The circuit is designed and fabricated in 0.35 μm commercial process, occupying $0.15 \times 0.15 \text{ mm}^2$ chip area. The circuit operates with a single 5 V supply. The experimental results show that 7 V/ μs positive slew-rate and 10 V/ μs negative slew-rate are achievable for 400 pF load capacitance, with 6.25 μW power dissipation. Comparing with traditional SRE circuits, the slewing boosting efficiency is greatly improved.

Key words: high-speed; low-power; dynamic slew-rate enhancement

1 引言

开关电容电路由于在功耗、长时间稳定性、温度

稳定性方面的优势而被广泛应用. 为了获得极低的 kT/C 噪声, 往往在电路设计中采用较大的负载电容^[1], 因此对于高速、低功耗的应用场合, 开关电容

电路的核心——运算放大器的大信号快速充放电特性便成为了一个必须重点考虑的关键因素,其衡量指标称为“摆率”(slew-rate, SR). 通常运放的摆率受限于负载电容大小 C_L 及运放所能提供的最大充放电电流大小 I_{max} :

$$SR \leq \frac{I_{max}}{C_L} \tag{1}$$

当负载电容较大($C_L > 100$ pF)、工作频率较高($f_T > 10$ MHz)时,计算可知要求 I_{max} 达到数 mA 甚至数十 mA 量级,这无疑会对运算放大器造成极大的功耗压力. 这就要求在运放设计中增加摆率增强(slew-rate enhancement, SRE)电路,由 SRE 电路提供充放电补偿电流,避免对核心放大电路提出过大的静态电流要求,从而同时实现低功耗、大摆率.

传统摆率增强电路(SRE)电路^[2-5]的工作原理可用图 1 表示. 这些结构通过监测主运放内部节点的电流变化来判断主运放是否进入大信号充放电状态,从而决定是否启动摆率增强机制. 然而这些结构都普遍存在两个问题. 首先,它们只能提供静态的摆率补偿电流,而无法根据主运放输入端差分电平幅值的变化做出动态调整,因此摆率增强效果受到限制. 其次,它们都只适用于特定的运放结构,缺乏通用性.

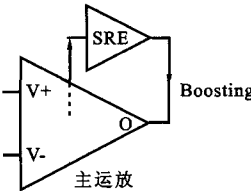


图 1 传统 SRE 电路的工作原理

本文提出一种通用型高速、低功耗的动态摆率增强电路结构,其工作原理如图 2 所示. SRE 电路通过监测主运放输入端电平信号的变化来判断是否启动摆率增强机制,且摆率补偿电流随着输入端差分电平信号的幅值动态变化,从而提高摆率增强效果.

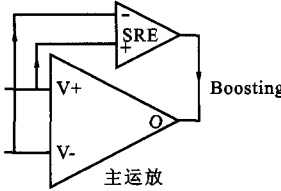


图 2 本文提出的 SRE 电路工作原理

2 SRE 电路结构

本工作提出的 SRE 电路如图 3 所示,其结构类

似于带使能端的两级放大器. 呈并行关系的两个前级放大器监测主运放输入端差分电平变化,两者的输出控制着后级推挽放大器的工作状态. 两个前级放大器分别由 MOS 管 NM1、NM2、NM6、PM3、PM4 及 PM1、PM2、PM6、NM3、NM4 组成,由于不需要前级放大器提供很大的信号增益,因此两者均为最基本的差分放大结构. 当主运放输入端差分电平发生跃变时,其中一个前级放大器将进入放大状态,其所输出的摆率增强电平与当前的输入端差分电平幅值成正比. 在此输出电平的控制之下,相应的推挽级 MOS 管也将进入放大状态,向输出端负载电容提供动态变化的补偿电流,从而实现动态摆率增强. 图 4 显示了仿真得到的前级放大器对的输入输出特性. 表 1 提供了 SRE 内部主要 MOS 管状态随 SRE 电路工作模式的变化情况.

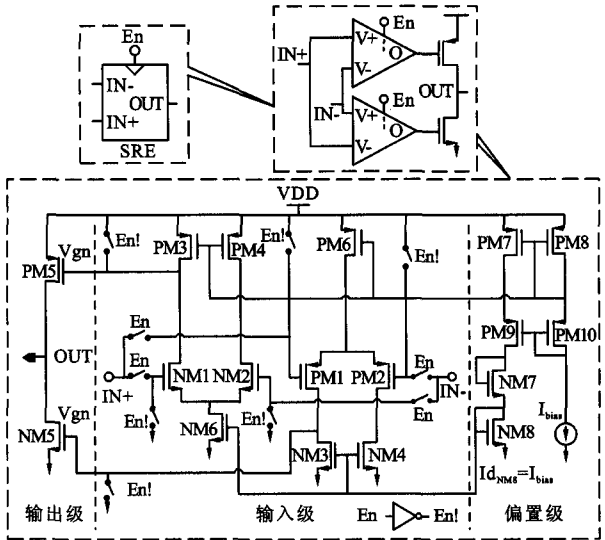


图 3 本文提出的 SRE 电路图

表 1 SRE 内部主要 MOS 管状态变化

	休眠	激活但不启动 SR	SR+	SR-
NM1	截止	饱和	饱和/线性	饱和/截止
NM2	截止	饱和	饱和/截止	饱和/线性
NM3	深度线性	线性	线性	饱和
NM4	深度线性	线性	线性/饱和	线性
NM5	截止	截止	截止	饱和/线性
NM6	深度线性	饱和	饱和	饱和
PM1	截止	饱和	饱和/截止	饱和/线性
PM2	截止	饱和	饱和/线性	饱和/截止
PM3	深度线性	线性	饱和	线性
PM4	深度线性	线性	线性	线性/饱和
PM5	截止	截止	饱和/线性	截止
PM6	深度线性	饱和	饱和	饱和

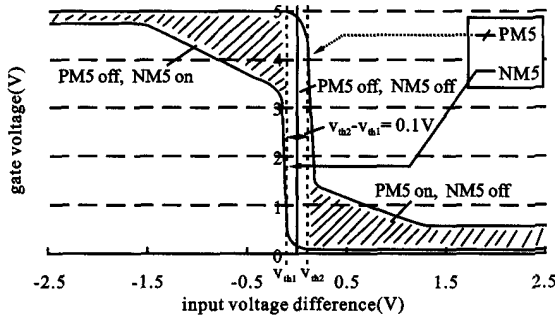


图4 SRE 前级放大器的输入输出特性曲线

通过仔细设计有源负载管 NM3(NM4)及 PM3(PM4)的尺寸,当输入端电压差值满足 $V_{th1} < V_{IN+} - V_{IN-} < V_{th2}$ 时, MOS 管 NM3/NM4 及 PM3/PM4 都处于线性区, V_{gn} 、 V_{gp} 均未达到开启电平,因此输出级对管 NM5、PM5 均关断, SRE 并不启动. 为了满足上述要求,以 NM3 为例,忽略 MOS 管的二级效应,可得如下 NM3(NM4)尺寸设计公式:

$$\frac{1}{2} I_{d_{PM6}} + \frac{1}{2} g_{m_{PM1}} V_{th1} \leq \left(\frac{W}{L} \right)_{NM3} I_{d_{NM8}} \quad (2)$$

其中, $I_{d_{PM6}}$ 、 $I_{d_{NM8}}$ 分别为 MOS 管 PM6、NM8 的静态漏端电流, $g_{m_{PM1}}$ 为 MOS 管 PM1 的静态跨导, V_{th1} 为负向 SR 阈值, $(W/L)_{NM3}$ 、 $(W/L)_{NM8}$ 分别为 MOS 管 NM3、NM8 的宽长比值.

类似的,可得如下 PM3(PM4)设计公式:

$$\frac{1}{2} I_{d_{NM6}} + \frac{1}{2} g_{m_{NM1}} V_{th2} \leq \left(\frac{W}{L} \right)_{PM3} I_{d_{PM8}} \quad (3)$$

为了避免主运放的输入失调电压引起 SRE 误启动,一般设计 $V_{th2} - V_{th1} \approx 0.1$ V.

当输入电压差值满足 $V_{IN+} - V_{IN-} < V_{th1}$ 时, NM3 将被驱动至饱和区, V_{gn} 增大至超过 NM5 的开启阈值电压,输出管 NM5 开启,同时 PM3 仍然处于线性区, V_{gp} 保持 $\approx V_{DD}$, PM5 保持关断, SRE 进入负向摆率增强状态,其负向充电电流 I_{SR-} 与输入端差分电平 V_{IN_d} 成线性关系:

$$I_{SR-} \approx g_{NM5} \frac{g_{PM1}}{g_{NM3}} V_{IN_d} \quad (4)$$

此时, PM1 和 NM3 组成共源放大级,因此 V_{gn} 随输入电压差值增大而迅速增大, NM5 所提供的补偿电流也随之提高,从而实现了动态的摆率增强. 当输入电压差值足够大时, $V_{gn} \approx V_{DD}$, SRE 的负向充电电流达到极值:

$$\max I_{SR-} \approx g_{NM5} V_{DD} \quad (5)$$

由式(2)可知,为了保证一定的负向 SR 阈值,

要求 NM3 的尺寸必须足够大,同时由式(4)可知,过大的 NM3 尺寸会削弱负向 SR 效果,因此需要在设计时仔细仿真,以获得最优值.

类似的,当输入电压差值满足 $V_{IN+} - V_{IN-} > V_{th2}$ 时, SRE 进入正向摆率增强状态:

$$I_{SR+} \approx g_{PM5} \frac{g_{NM1}}{g_{PM3}} V_{IN_d} \quad (6)$$

当输入电压差值足够大时, $V_{gp} \approx 0$, SRE 的正向充电电流达到极值:

$$\max I_{SR+} \approx g_{PM5} V_{DD} \quad (7)$$

为了获得尽可能高的摆率增强效果,输出级对管 NM5、PM5 的尺寸设计得较大. 特别是 SRE 还设计了开关控制网络,在使能信号的控制下,可以随时进入“休眠”状态. SRE 启动状态下的静态电流消耗为 40 μ A,“休眠”状态下,其静态电流约为 nA 量级.

此外,由式(4)及式(6)可知,电路的正、负向充电电流 I_{SR+} 、 I_{SR-} 均与负载电容大小无关,而只取决于关键 MOS 管的尺寸参数及输入电压差值. 为了简化理论计算,可以近似地以正、负向充电电流极值的一半作为平均充电电流,从而电路的平均正、负向摆率分别为:

$$\overline{SR+} \approx \frac{g_{PM5} V_{DD}}{2C_L} \quad (8)$$

$$\overline{SR-} \approx \frac{g_{NM5} V_{DD}}{2C_L} \quad (9)$$

可见,电路的负、正向摆率增强效果主要取决于 MOS 管 NM5、PM5 的跨导,并与负载电容成 C_L 反比.

3 SRE 电路的应用举例

本电路已被应用于某电容式微加速度计接口电路中,如图5所示. C_{sensor} 为某型电容式微加速度传感器的等效电容,电容值约为 400 pF,工作时其一端接地,另一端电平受接口电路其它部分(图5中未

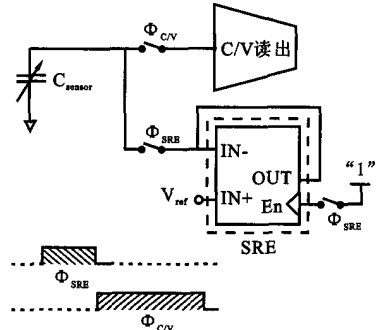


图5 SRE 在电容式微加速度计接口电路中的应用

标示)的影响,会在 0~5 V 之间变化.接口电路采用开关电容结构,并设计了两路 125 kHz 非交叠时钟 Φ_{SRE} 、 $\Phi_{C/V}$ 分别控制 SRE 辅助电路及 C/V 主电路,其中 Φ_{SRE} 的占空时间为 0.25 μ s. SRE 接成单位负反馈形式,其正向输入端接 2.5 V 参考电平 V_{ref} . 为了保证在 $\Phi_{C/V}$ 时钟相内 C/V 主电路正常工作,需要在 Φ_{SRE} 内将 C_{sensor} 一端电平恢复到接近 2.5 V 水平,这就要求 SRE 电路对 400 pF 大电容提供近 10 V/ μ s 的摆率效果.

图 6 所示为采用 Cadence Spetire 工具仿真得到的 SRE 电路分别对不同大负载电容的大信号充、放电时域波形.可见 SRE 电路对于 400 pF 的大电容负载,电路的正、负向摆率分别约为 16 V/ μ s、24 V/ μ s. 同时,可以明显看出,电路的摆率与负载电容值成反比关系.

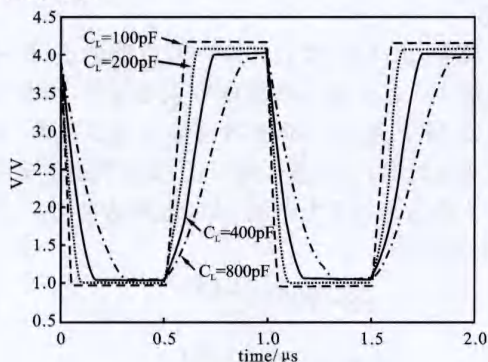


图 6 SRE 对不同大负载电容充、放电时域波形

4 测试结果

上述应用实例已采用 0.35 μ m 商业 CMOS 工艺实现,其中 SRE 占用芯片面积 0.15×0.15 mm²,其显微照片如图 7 所示.芯片采用 5 V 单电源供电, SRE 电路工作测试波形如图 8 所示.测试结果表明,本 SRE 电路针对 400 pF 大负载电容,可以实现 7 V/ μ s 的正向摆率及 10 V/ μ s 的负向摆率,由于受到半导体工艺制作偏差的影响,电路的实际摆率增强效果要低于仿真预测效果.在时钟控制下, SRE 的功率消耗为 6.25 μ W.

为了比较不同 SRE 电路的工作效率,引入 FOM(figure of merit)参数,其计算公式为:

$$FOM = \frac{SR_{avg} C_L}{Power} \quad (10)$$

其中, SR_{avg} 为平均摆率(V· μ s⁻¹), C_L 为负载电容(pF), Power 为功耗(μ W).

以此计算本 SRE 电路的 FOM 值为 544 V· μ s⁻¹·pF· μ W⁻¹.表 2 为本工作与其它文献工作

的 FOM 对比,可见与传统结构相比,工作效率提高显著.

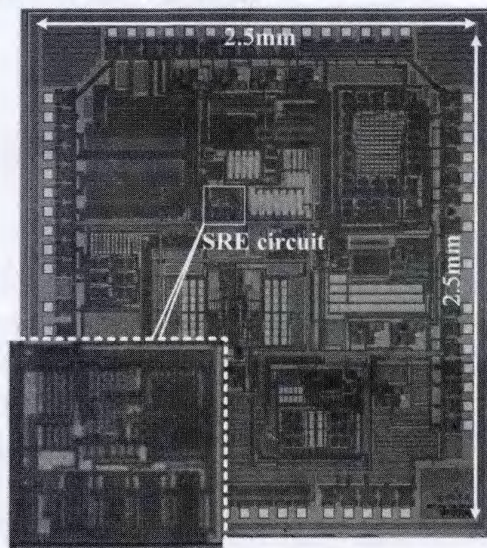


图 7 电容式微加速度计接口电路芯片及 SRE 电路显微照片

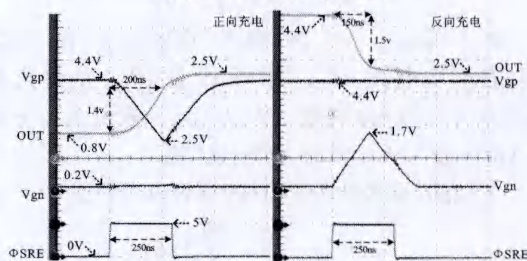


图 8 SRE 电路内部各节点的工作波形测试结果
表 2 本文与其他文献工作性能对比

	本文	文献[2]	文献[3]	文献[4]	文献[5]
FOM	544	355	170	22	3.9

5 结束语

本文提出了一种针对大电容的通用型高速、低功耗动态摆率增强电路.与传统 SRE 电路结构相比,本电路的补偿电流随输入端电平差值动态变化,极大地提高了摆率增强效果.并行连接关系使得本电路具有很好的通用性.通过开关控制,可实现对 SRE 电路的及时“休眠”,降低能耗.电路采用 0.35 μ m 商业 CMOS 工艺实现,有效芯片面积 0.15×0.15 mm².测试结果表明,针对 400 pF 大负载电容,可以实现 7 V/ μ s 的正向摆率及 10 V/ μ s 的负向摆率,功率消耗 6.25 μ W.以此计算其平均工作效率为 544 V· μ s⁻¹·pF· μ W⁻¹,与传统的电路结构相

比,工作效率提高显著。

参考文献:

- [1] Stevens A E, Miller G A. A high-slew integrator for switched-capacitor Circuits[J]. IEEE Journal of Solid-State Circuits, 1994(29):1146-1149.
- [2] Rezaei M, Zhian-Tabasy E, Ashtiani S J. Slew rate enhancement method for folded-cascode amplifiers[J]. Electronics Letters, 2008,44(21):787-795.
- [3] Marano D, Palumbo G, Pennisi S. Step-response optimization techniques for low-power three-stage operational amplifiers for large capacitive load applications [C]//Circuits and Systems, ISCAS 2009, IEEE International Symposium on. Taiwan: Taipei, 2009, 29(4): 1149-1152.
- [4] Lee H, Mok P K T. A CMOS current-mirror amplifier with compact slew rate enhancement circuit for large capacitive load applications[C]//Circuits and Systems, ISCAS 2001, IEEE International Symposium on. Australia: Sydney, 2001, 1(3):220-223.

- [5] Perez A P, Kumar Nithin Y B, Maloberti F. Slew-rate and gain enhancement in two stage operational amplifiers[C]//Circuits and Systems, ISCAS 2009, IEEE International Symposium on. Taiwan: Taipei, 2009, 29(5):2485-2488.

作者简介:

叶珍华 男,博士研究生.研究方向为微传感 SoC 设计技术、模拟集成电路设计技术。

杨海钢 男,研究员.研究方向为高性能可编程逻辑芯片设计技术、数模混合信号 SOC 设计技术。

李凡阳 男,博士研究生.研究方向为低功耗助听器设计技术、模拟集成电路设计技术。

程小燕 女,博士研究生.研究方向为片上可编程 SoC 设计技术、模拟集成电路设计技术。

尹 韬 男,副研究员.研究方向为高性能微传感器接口电路设计、数模混合集成电路设计。

刘 飞 男,副研究员.研究方向为高性能模拟集成电路设计技术、数模混合信号 SOC 设计技术。

(上接第 74 页)

否则就不能保证其稳定性.网络的拓扑结构千变万化,本文仅从计算机网络拓扑结构的连接度角度出发对网络进行分类并研究其稳定性,对基于拓扑结构的计算机网络分类细化以及对其稳定性的影响还需要做进一步的研究和验证工作。

参考文献:

- [1] 王林,戴冠中.复杂网络的 Scale-free 性、Scale-free 现象及其控制[M].北京:科学出版社,2009.
- [2] 汪小帆,李翔,陈关荣.复杂网络理论及其应用[M].北京:清华大学出版社,2006.
- [3] 刘琼,李世银,王秀娟.自相似网络流量建模及分析[J].微电子学与计算机,2009,26(11):131-134.
- [4] 麻海园,孟相如,贾艳萍.基于速率的主动队列管理算法的性能分析[J].微电子学与计算机,2007,24(11):

41-45.

- [5] 单纯,陈晓龙.多延迟多瓶颈网络拥塞鲁棒控制研究[J].微电子学与计算机,2009,26(5):256-261.
- [6] 孙亮,于建均,龚道雄.线性系统理论基础[M].北京:北京工业大学出版社,2006:169-171.

作者简介:



毛 凯 男,(1968—),博士研究生,讲师.研究方向为计算机网络和信息系统的研究。